

Docket No.: 67161-135

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of	:	Customer Number: 20277
	:	
Seiichi ENDO, et al.	:	Confirmation Number:
	:	
Serial No.:	:	Group Art Unit:
	:	
Filed: January 15, 2004	:	Examiner:
	:	
For: NONVOLATILE SEMICONDUCTOR MEMORY DEVICE	:	

**CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop CPD
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

In accordance with the provisions of 35 U.S.C. 119, Applicants hereby claim the priority of:

Japanese Patent Application No. JP 2003-274728, filed on July 15, 2003.

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY



Stephen A. Becker
Registration No. 26,527

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 SAB:gav
Facsimile: (202) 756-8087
Date: January 15, 2004

67161-135

Seiji ENDO, et al.

January 15, 2004

日 本 国 特 許 庁 *McDermott, Will & Emery*
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 7 月 1 5 日
Date of Application:

出 願 番 号 特 願 2 0 0 3 - 2 7 4 7 2 8
Application Number:

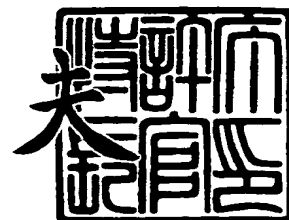
[ST. 10/C] : [J P 2 0 0 3 - 2 7 4 7 2 8]

出 願 人 株式会社ルネサステクノロジ
Applicant(s):

2 0 0 3 年 8 月 1 9 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 3 - 3 0 6 7 7 3 7

【書類名】 特許願
【整理番号】 544133JP01
【提出日】 平成15年 7月15日
【あて先】 特許庁長官殿
【国際特許分類】 H01L 27/115
【発明者】
 【住所又は居所】 東京都千代田区丸の内二丁目 4 番 1 号 株式会社ルネサステクノ
 ロジ内
 【氏名】 遠藤 誠一
【発明者】
 【住所又は居所】 東京都千代田区丸の内二丁目 4 番 1 号 株式会社ルネサステクノ
 ロジ内
 【氏名】 石井 元治
【特許出願人】
 【識別番号】 503121103
 【氏名又は名称】 株式会社ルネサステクノロジ
【代理人】
 【識別番号】 100064746
 【弁理士】
 【氏名又は名称】 深見 久郎
【選任した代理人】
 【識別番号】 100085132
 【弁理士】
 【氏名又は名称】 森田 俊雄
【選任した代理人】
 【識別番号】 100083703
 【弁理士】
 【氏名又は名称】 仲村 義平
【選任した代理人】
 【識別番号】 100096781
 【弁理士】
 【氏名又は名称】 堀井 豊
【選任した代理人】
 【識別番号】 100098316
 【弁理士】
 【氏名又は名称】 野田 久登
【選任した代理人】
 【識別番号】 100109162
 【弁理士】
 【氏名又は名称】 酒井 將行
【手数料の表示】
 【予納台帳番号】 008693
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1

【書類名】 特許請求の範囲**【請求項 1】**

主表面を有する半導体基板と、
前記半導体基板の主表面に形成されたソース／ドレインとなる 1 対の p 型不純物拡散領域と、

前記 1 対の p 型不純物拡散領域に挟まれる前記半導体基板の領域の上にトンネル絶縁層を介して形成されたフローティングゲートと、

前記半導体基板の主表面に形成された、前記フローティングゲートの電位を制御するための制御用不純物拡散領域とを備えた、不揮発性半導体記憶装置。

【請求項 2】

前記制御用不純物拡散領域は、p 型の導電型を有し、かつ前記フローティングゲートと絶縁層を介して対向することを特徴とする、請求項 1 に記載の不揮発性半導体記憶装置。

【請求項 3】

前記制御用不純物拡散領域は、前記フローティングゲートの下側に位置する前記半導体基板の領域を挟むように前記半導体基板の主表面に形成された 1 対のソース／ドレイン用不純物拡散領域であることを特徴とする、請求項 1 に記載の不揮発性半導体記憶装置。

【請求項 4】

前記 1 対のソース／ドレイン用不純物拡散領域は n 型の導電型を有することを特徴とする、請求項 3 に記載の不揮発性半導体記憶装置。

【請求項 5】

前記半導体基板の主表面に形成された p 型ウェル領域をさらに備え、
n 型の前記 1 対のソース／ドレイン用不純物拡散領域は前記 p 型ウェル領域内に形成されていることを特徴とする、請求項 4 に記載の不揮発性半導体記憶装置。

【請求項 6】

前記 1 対のソース／ドレイン用不純物拡散領域は p 型の導電型を有することを特徴とする、請求項 3 に記載の不揮発性半導体記憶装置。

【請求項 7】

前記半導体基板の主表面に形成された n 型ウェル領域をさらに備え、
p 型の前記 1 対のソース／ドレイン用不純物拡散領域は前記 n 型ウェル領域内に形成されていることを特徴とする、請求項 6 に記載の不揮発性半導体記憶装置。

【請求項 8】

前記制御用不純物拡散領域は、n 型の導電型を有し、かつ前記フローティングゲートと絶縁層を介して対向することを特徴とする、請求項 1 に記載の不揮発性半導体記憶装置。

【請求項 9】

前記半導体基板の主表面に形成された p 型ウェル領域をさらに備え、
n 型の前記制御用不純物拡散領域は前記 p 型ウェル領域内に形成されていることを特徴とする、請求項 8 に記載の不揮発性半導体記憶装置。

【請求項 10】

前記 1 対の p 型不純物拡散領域の形成領域と前記制御用不純物拡散領域の形成領域との間の前記半導体基板の主表面に形成されたフィールド絶縁層と、

前記フィールド絶縁層の直下の前記半導体基板に形成された素子分離用 p 型不純物拡散領域とをさらに備えたことを特徴とする、請求項 1～9 のいずれかに記載の不揮発性半導体記憶装置。

【書類名】 明細書**【発明の名称】 不揮発性半導体記憶装置****【技術分野】****【0001】**

本発明は、不揮発性半導体記憶装置に関し、特に、単層ゲート構造のメモリセルを有する不揮発性半導体記憶装置に関するものである。

【背景技術】**【0002】**

従来のフラッシュメモリのメモリセルは、チャネル領域上にトンネル酸化膜を介してフローティングゲートが形成され、さらに絶縁膜を介してフローティングゲート上にコントロールゲートが形成された積層ゲート構造を有している。しかし、このような積層ゲート構造では構成および製造工程が複雑となる。

【0003】

これに対して、構成および製造工程を簡易にするために、チャネル領域上のゲートをフローティングゲートのみとした単層ゲート構造のメモリセルが提案されている。

【0004】

従来の単層ゲート構造のメモリセルでは、基板とフローティングゲートとが容量結合をしているため、基板に電圧を与えるとフローティングゲートの電位も自動的に基板の電位と近い値となってしまう。このため、基板とフローティングゲートとの間に大きな電位差を与えることが困難であった。

【0005】

このため、電氣的に消去を行うことがほぼ不可能であり、紫外線照射による消去のみが可能であるため、従来の単層ゲート構造のメモリセルはOTPROM (One Time Programmable Read-Only Memory) などのほとんど書き換えを行なわない用途にしか使用できなかった。

【0006】

また、単層ゲート構造のメモリセルにおいて、電氣的に消去可能な構成が、たとえば特表平8-506693号公報、特開平3-57280号公報などに開示されている。

【0007】

この構成によれば、半導体基板の表面に形成された不純物拡散領域をフローティングゲートに対向させることにより、この不純物拡散領域によるフローティングゲートの電位の制御が可能とされている。

【特許文献1】 特表平8-506693号公報

【特許文献2】 特開平3-57280号公報

【発明の開示】**【発明が解決しようとする課題】****【0008】**

しかしながら、上記2つの公報に開示されたメモリトランジスタはnチャネルMOS (Metal Oxide Semiconductor) トランジスタであり、低電圧でのデータの書き込みが困難であるという問題点があった。以下、そのことについて説明する。

【0009】

メモリトランジスタがnチャネルMOSトランジスタの場合、書き込み動作においてはドレインに高い正の電圧を印加することにより、ソースから引き出された電子が半導体基板表面のチャネル内をドレインに向かって高速で走り、ドレイン近傍でホットエレクトロンと呼ばれる高エネルギー状態となる。このホットエレクトロンが、フローティングゲートに注入されて、データの書き込まれた状態となる。

【0010】

この場合、ドレインに高い正の電圧が印加されているため、ホットエレクトロンは、半導体基板とフローティングゲートとの間に大きな電位差を与えないと、ドレイン側へ注入されるだけでフローティングゲートに注入され難くなる。このため、メモリトランジスタ

がnチャネルMOSトランジスタの場合には、書き込み動作時において高電圧を印加しなければならず、低電圧でのデータの書き込みが困難であるという問題点があった。

【0011】

特に、単層ゲート構造の場合には、フローティングゲート上にコントロールゲートがないため、フローティングゲートと半導体基板との間の容量結合による電位差でホットエレクトロンをフローティングゲートに注入しなければならない。このように高電圧を与えないとデータの書き込みが困難であるが、単層ゲート構造においては高電位を与えることも難しいため、データの書き込み動作が困難になるという問題があった。

【0012】

それゆえ本発明の目的は、電氣的にデータを消去可能で、かつ低電圧でのデータの書き込みが容易な不揮発性半導体装置を提供することを目的とする。

【課題を解決するための手段】

【0013】

本発明の不揮発性半導体記憶装置は、半導体基板と、ソース／ドレインとなる1対のp型不純物拡散領域と、フローティングゲートと、制御用不純物拡散領域とを備えている。半導体基板は、主表面を有している。ソース／ドレインとなる1対のp型不純物拡散領域は、半導体基板の主表面に形成されている。フローティングゲートは、1対のp型不純物拡散領域に挟まれる半導体基板の領域の上にトンネル絶縁層を介して形成されている。制御用不純物拡散領域は、半導体基板の主表面に形成されており、フローティングゲートの電位を制御するためのものである。

【発明の効果】

【0014】

本発明の不揮発性半導体装置によれば、フローティングゲートの電位を制御するための制御用不純物拡散領域が半導体基板の主表面に形成されているため、基板とフローティングゲートとの間に大きな電位差を与えることが容易となる。これにより、フローティングゲートの電子を引き抜くことが容易となり、電氣的な消去が可能となる。

【0015】

また、ソース／ドレインがp型の不純物拡散領域であるため、メモリトランジスタはpチャネルのトランジスタである。このpチャネルのトランジスタの場合、書き込み動作時においてはドレインに負側の電圧を印加することにより、ソースから供給された正孔が半導体基板表面のチャネル内をドレインに向かって高速で走り、ドレイン近傍で原子と衝突して電子-正孔対を生じさせる。そして、その電子-正孔対の電子が、フローティングゲートに注入されて、データの書き込まれた状態となる。

【0016】

この場合、ドレインに印加される電圧は負側の電圧であるため、電子はドレイン側に注入され難く、ゲート側に注入され易くなる。このため、半導体基板とフローティングゲートとの間にそれほど大きな電位差を与えなくとも、電子をフローティングゲートに注入することができ、低電圧でのデータの書き込みが可能となる。

【発明を実施するための最良の形態】

【0017】

以下、本発明の実施の形態について図に基づいて説明する。

【0018】

(実施の形態1)

図1は、本発明の実施の形態1における半導体記憶装置の構成を概略的に示す平面図である。図2(a)および図2(b)は、図1のIIA-IIA線に沿う概略断面図および図1のIIB-IIB線に沿う概略断面図である。図3は、図1のIII-III線に沿う概略断面図である。

【0019】

なお、本来、メモリセルはビット毎に選択用のトランジスタを有しているが、選択用のトランジスタは本実施の形態の動作原理と無関係であるため、図1以外では図示せず、そ

の説明も省略する。また、選択用のトランジスタの取扱いについては他の実施の形態についても同様である。

【0020】

図1～図3を参照して、本実施の形態のメモリセルは、フローティングゲートトランジスタ10と、フローティングゲート5をコントロールする部分とを主に有している。

【0021】

図2(a)を参照して、フローティングゲートトランジスタ形成領域においては、p型の半導体基板1の主表面にn型ウェル領域2aが形成されており、n型ウェル領域2aにpチャネルMOSトランジスタであるフローティングゲートトランジスタ10が形成されている。フローティングゲートトランジスタ10は、ソース/ドレインとなる1対のp型不純物拡散領域3、3と、トンネル絶縁層4aと、フローティングゲート5とを有している。ソース/ドレインとなる1対のp型不純物拡散領域3、3は、n型ウェル領域2a内の半導体基板1の主表面に形成されている。フローティングゲート5は、1対のp型不純物拡散領域3、3に挟まれる半導体基板1の領域の上にトンネル絶縁層4aを介して形成されている。

【0022】

図2(b)を参照して、フローティングゲート5は、フローティングゲートトランジスタ形成領域からフローティングゲートコントロール領域まで延在している。このフローティングゲートコントロール領域においては、フローティングゲート5の電位を制御するための制御用不純物拡散領域6が形成されている。この制御用不純物拡散領域6は、半導体基板1の主表面に形成されたp型の不純物拡散領域より構成されており、フローティングゲート5と絶縁層4bを介して対向している。この制御用不純物拡散領域6は、半導体基板1の主表面に形成されたn型ウェル領域2b内に形成されている。

【0023】

図3を参照して、フローティングゲートトランジスタ形成領域とフローティングゲートコントロール領域との間の半導体基板1の主表面には、フィールド絶縁層7が形成されている。このフィールド絶縁層7の直下は、半導体基板1のp型領域が位置している。

【0024】

次に、本実施の形態におけるメモリセルの書き込みおよび消去の動作について説明する。

【0025】

なお、本実施の形態におけるメモリセルの「書き込み」状態とはフローティングゲート5に電子が蓄積された状態のことを言い、「消去」状態とはフローティングゲート5から電子が引抜かれた状態のことを言う。

【0026】

図2(a)および図2(b)を参照して、メモリセルへの書き込みは、フローティングゲートトランジスタ10でのインパクトイオン化により発生するホットキャリアをフローティングゲート5に注入することにより行なわれる。ホットキャリアの発生は、表1に示した電圧を各領域に与えることにより起こる。

【0027】

【表 1】

電圧を与える箇所	電圧
一方の p 型不純物拡散領域 3	0V
他方の p 型不純物拡散領域 3	~8V
制御用不純物拡散領域 6	~10V
n 型ウェル領域 2a	~8V
n 型ウェル領域 2b	~10V
p 型半導体基板 1	0V

* 他方の p 型不純物拡散領域 3 と n 型ウェル領域 2a には同じ電圧を与える。

* 制御用不純物拡散領域 6 と n 型ウェル領域 2b には同じ電圧を与える。

【0028】

この際、制御用不純物拡散領域 6 は、フローティングゲート 5 の電位をコントロールする役割を担っている。具体的には、ホットキャリアの発生はフローティングゲート 5 の（一方の p 型不純物拡散領域 3 から見た）電位が -1 V 程度の時に最も多くなるため、そのような電位になるように制御用不純物拡散領域 6 に電圧が与えられてフローティングゲート 5 の電位がコントロールされる。

【0029】

また、メモリセルの消去は、フローティングゲート 5 に蓄積された電子を一方の p 型不純物拡散領域 3、他方の p 型不純物拡散領域 3 および n 型ウェル領域 2 a のそれぞれに高電位を与えて FN (Fowler-Nordheim) トンネリングによって引き抜くことで行なわれる。FN トンネリングを起こすために、一方の p 型不純物拡散領域 3、他方の p 型不純物拡散領域 3 および n 型ウェル領域 2 a のそれぞれに表 2 に示すような正の電位が与えられる。

【0030】

【表 2】

電圧を与える箇所	電圧
一方の p 型不純物拡散領域 3	~15V
他方の p 型不純物拡散領域 3	~15V
制御用不純物拡散領域 6	~-15V
n 型ウェル領域 2a	~15V
n 型ウェル領域 2b	0V
p 型半導体基板 1	0V

* 一方の p 型不純物拡散領域 3 と他方の p 型不純物拡散領域 3 と n 型ウェル領域 2a には同じ電圧を与える。

【0031】

この際、制御用不純物拡散領域 6 にも表 2 に示すような負の電圧を与えて、フローティングゲート 5 の（一方の p 型不純物拡散領域 3 から見た）電位が下げられている。効率よく消去を行うためには、フローティングゲート 5 と一方の p 型不純物拡散領域 3、他方の p 型不純物拡散領域 3 および n 型ウェル領域 2 a のそれぞれとの間の接合容量比をできるだけ小さくして電位差を大きくすることが望ましい。

【0032】

本実施の形態のよれば、制御用不純物拡散領域 6 によりフローティングゲート 5 の電位

をコントロールすることができるため、半導体基板 1 とフローティングゲート 5 との間に大きな電位差を与えることが可能となる。これにより、フローティングゲート 5 内の電子を FN トンネリングで引き抜くことが可能となるため、データの電氣的な消去が可能となる。

【0033】

また、フローティングゲートトランジスタ 10 が p チャンネル MOS トランジスタよりなっている。このため、書き込み動作時においてはドレインに負側の電圧を印加することにより、ソースから供給された正孔が半導体基板 1 表面のチャンネル内をドレインに向かって高速で走り、ドレイン近傍で原子と衝突して電子-正孔対を生じさせる。そして、その電子-正孔対の電子が、フローティングゲート 5 に注入されて、データの書き込まれた状態となる。

【0034】

この場合、ドレインに印加される電圧は負側の電圧であるため、電子はドレイン側に注入され難く、フローティングゲート 5 側に注入され易くなる。このため、半導体基板 1 とフローティングゲート 5 との間にそれほど大きな電位差を与えなくとも、電子をフローティングゲート 5 に注入することができ、低電圧でのデータの書き込みが可能となる。

【0035】

(実施の形態 2)

図 4 は、本発明の実施の形態 2 における半導体記憶装置の構成を概略的に示す平面図である。図 5 は、図 4 の V-V 線に沿う概略断面図である。

【0036】

図 4 および図 5 を参照して、本実施の形態のメモリセルの構成は、実施の形態 1 の構成と比較して、素子分離用の p 型不純物拡散領域 8 を有している点において異なる。

【0037】

この素子分離用の p 型不純物拡散領域 8 は、フローティングゲートトランジスタ領域とフローティングゲートコントロール領域との間の半導体基板 1 の主表面に形成されたフィールド絶縁層 7 の直下の半導体基板 1 に形成されている。この素子分離用の p 型不純物拡散領域 8 は、半導体基板 1 よりも高いキャリア濃度を有している。

【0038】

なお、上記以外の構成については実施の形態 1 の構成とほぼ同じであるため、同一の構成要素については同一の符号を付し、その説明を省略する。

【0039】

本実施の形態によれば、以下の効果が得られる。

【0040】

書き込みおよび消去時には表 1 および表 2 に示すような電圧が n 型ウェル領域 2 a、2 b に印加されるが、この際、p 型半導体基板 1 と n 型ウェル領域 2 a、2 b のそれぞれとの p n 接合部には空乏層が生じている。この空乏層の伸びが大きくなるにつれて、パンチスルーに伴うリーク電流が増加する。

【0041】

本実施の形態によれば、素子分離用の p 型不純物拡散領域 8 は半導体基板 1 よりも高いキャリア濃度を有しているため、この空乏層の伸びを抑えることができる。これにより、n 型ウェル領域 2 a と n 型ウェル領域 2 b との間隔を小さくすることができ、結果として実施の形態 1 よりもメモリセルサイズを小さくすることができる。

【0042】

(実施の形態 3)

図 6 は、本発明の実施の形態 3 における半導体記憶装置の構成を概略的に示す平面図である。図 7 (a) および図 7 (b) は、図 6 の V I I A-V I I A 線に沿う概略断面図および図 6 の V I I B-V I I B 線に沿う概略断面図である。図 8 は、図 6 の V I I I-V I I I 線に沿う概略断面図である。

【0043】

図6～図8を参照して、本実施の形態のメモリセルの構成は、実施の形態1の構成と比較して、フローティングゲートコントロール領域内の制御用不純物拡散領域の構成において異なる。

【0044】

本実施の形態における制御用不純物拡散領域は、1対のn型のソース／ドレイン用不純物拡散領域11、11により構成されている。1対のソース／ドレイン用不純物拡散領域11、11は、フローティングゲート5の下側に位置する半導体基板1の領域を挟むようにp型の半導体基板1の主表面に形成されている。この1対のソース／ドレイン用不純物拡散領域11、11と、絶縁層4bと、フローティングゲート5とにより、nチャネルMOSトランジスタよりなるコントロールトランジスタ20が構成されている。

【0045】

なお、上記以外の構成については実施の形態1の構成とほぼ同じであるため、同一の構成要素については同一の符号を付し、その説明を省略する。

【0046】

次に、本実施の形態におけるメモリセルの書き込みおよび消去の動作について説明する。

【0047】

図7(a)および図7(b)を参照して、メモリセルへの書き込みは、フローティングゲートトランジスタ10でのインパクトイオン化により発生するホットキャリアをフローティングゲート5に注入することにより行なわれる。ホットキャリアの発生は、表3に示した電圧を各領域に与えることにより起こる。

【0048】

【表3】

電圧を与える箇所	電圧
一方のp型不純物拡散領域3	0V
他方のp型不純物拡散領域3	～8V
一方のソース／ドレイン用不純物拡散領域11	～10V
他方のソース／ドレイン用不純物拡散領域11	～10V
n型ウェル領域2a	～8V
p型半導体基板1	0V

* 他方のp型不純物拡散領域3とn型ウェル領域2aには同じ電圧を与える。

【0049】

この際、コントロールトランジスタ20の1対のソース／ドレイン用不純物拡散領域11、11は、フローティングゲート5の電位をコントロールする役割を担っている。具体的には、ホットキャリアの発生はフローティングゲート5の（一方のp型不純物拡散領域3から見た）電位が－1V程度の時に最も多くなるため、そのような電位になるように1対のソース／ドレイン用不純物拡散領域11、11に電圧が与えられてフローティングゲート5の電位がコントロールされる。

【0050】

また、メモリセルの消去は、フローティングゲート5に蓄積された電子を一方のp型不純物拡散領域3（もしくは他方のp型不純物拡散領域3）に高電位を与えてFN（Fowler-Nordheim）トンネリングによって引き抜くことで行なわれる。FNトンネリングを起こすために、一方のp型不純物拡散領域3（もしくは他方のp型不純物拡散領域3）には表4に示すような正の電位が与えられる。

【0051】

【表 4】

電圧を与える箇所	電圧
一方の p 型不純物拡散領域 3	~-10V
他方の p 型不純物拡散領域 3	~-10V
一方のソース/ドレイン用不純物拡散領域 11	~20V
他方のソース/ドレイン用不純物拡散領域 11	0V
n 型ウェル領域 2a	0V
p 型半導体基板 1	0V

* 一方の p 型不純物拡散領域 3 と他方の p 型不純物拡散領域 3 には同じ電圧を与える。

* 一方のソース/ドレイン用不純物拡散領域 11 と他方のソース/ドレイン用不純物拡散領域 11 の電圧は逆でもよい。

【0052】

この際、1 対の p 型不純物拡散領域 3、3 にも表 4 に示すような負の電圧を与えて、フローティングゲート 5 の（一方の p 型不純物拡散領域 3 から見た）電位が下げられている。効率よく消去を行うためには、フローティングゲート 5 と一方のソース/ドレイン用不純物拡散領域 11（もしくは他方のソース/ドレイン用不純物拡散領域 11）との間の接合容量比をできるだけ小さくして電位差を大きくすることが望ましい。

【0053】

本実施の形態のよれば、1 対のソース/ドレイン用不純物拡散領域 11、11 によりフローティングゲート 5 の電位をコントロールすることができるため、半導体基板 1 とフローティングゲート 5 との間に大きな電位差を与えることが可能となる。これにより、フローティングゲート 5 内の電子を FN トンネリングで引き抜くことが可能となるため、データの電氣的な消去が可能となる。

【0054】

また、フローティングゲートトランジスタ 10 が p チャネル MOS トランジスタよりなっているため、実施の形態 1 と同様、n チャネル MOS トランジスタを用いる場合よりも低電圧で書き込みを行うことが可能となる。

【0055】

（実施の形態 4）

図 9 は、本発明の実施の形態 4 における半導体記憶装置の構成を概略的に示す平面図である。図 10（a）および図 10（b）は、図 9 の X A-X A 線に沿う概略断面図および図 9 の X B-X B 線に沿う概略断面図である。図 11 は、図 9 の X I-X I 線に沿う概略断面図である。

【0056】

図 9～図 11 を参照して、本実施の形態のメモリセルの構成は、実施の形態 3 の構成と比較して、フローティングゲートコントロール領域内に p 型ウェル領域 12 が追加されている点において異なる。

【0057】

p 型ウェル領域 12 は半導体基板 1 の主表面に形成されている。p 型ウェル領域 12 内に、1 対のソース/ドレイン用不純物拡散領域 11、11 が形成されている。p 型ウェル領域 12 は、半導体基板 1 よりも高いキャリア濃度を有している。

【0058】

なお、上記以外の構成については実施の形態 3 の構成とほぼ同じであるため、同一の構成要素については同一の符号を付し、その説明を省略する。

【0059】

本実施の形態によれば、以下の効果が得られる。

【0060】

書き込みおよび消去時には表3および表4に示すような電圧がn型ウェル領域2aと一方のソース／ドレイン用不純物拡散領域11（もしくは他方のソース／ドレイン用不純物拡散領域11）に印加されるが、この際、n型ウェル領域2aとp型半導体基板1とのpn接合部および一方のソース／ドレイン用不純物拡散領域11（もしくは他方のソース／ドレイン用不純物拡散領域11）とp型領域とのpn接合部には空乏層が生じている。この空乏層の伸びが大きくなるにつれて、パンチスルーに伴うリーク電流が増加する。

【0061】

本実施の形態によれば、p型ウェル領域12は半導体基板1よりも高いキャリア濃度を有しているため、この空乏層の伸びを抑えることができる。これにより、n型ウェル領域2aと一方のソース／ドレイン用不純物拡散領域11（もしくは他方のソース／ドレイン用不純物拡散領域11）との間隔を小さくすることができ、結果として実施の形態3よりもメモリセルサイズを小さくすることができる。

【0062】

（実施の形態5）

図12は、本発明の実施の形態5における半導体記憶装置の構成を概略的に示す平面図である。図13は、図12のX I I I - X I I I 線に沿う概略断面図である。

【0063】

図12および図13を参照して、本実施の形態のメモリセルの構成は、実施の形態4の構成と比較して、素子分離用のp型不純物拡散領域8を有している点において異なる。

【0064】

この素子分離用のp型不純物拡散領域8は、フローティングゲートトランジスタ領域とフローティングゲートコントロール領域との間の半導体基板1の主表面に形成されたフィールド絶縁層7の直下の半導体基板1に形成されている。この素子分離用のp型不純物拡散領域8は、半導体基板1よりも高いキャリア濃度を有している。

【0065】

なお、上記以外の構成については実施の形態1の構成とほぼ同じであるため、同一の構成要素については同一の符号を付し、その説明を省略する。

【0066】

本実施の形態によれば、以下の効果が得られる。

【0067】

書き込みおよび消去時には表3および表4に示すような電圧がn型ウェル領域2aと一方のソース／ドレイン用不純物拡散領域11（もしくは他方のソース／ドレイン用不純物拡散領域11）とに印加されるが、この際、n型ウェル領域2aとp型半導体基板1とのpn接合部および一方のソース／ドレイン用不純物拡散領域11（もしくは他方のソース／ドレイン用不純物拡散領域11）とp型領域とのpn接合部には空乏層が生じている。この空乏層の伸びが大きくなるにつれて、パンチスルーに伴うリーク電流が増加する。

【0068】

本実施の形態によれば、素子分離用のp型不純物拡散領域8は半導体基板1よりも高いキャリア濃度を有しているため、この空乏層の伸びを抑えることができる。これにより、n型ウェル領域2aと一方のソース／ドレイン用不純物拡散領域11（もしくは他方のソース／ドレイン用不純物拡散領域11）との間隔を小さくすることができ、結果として実施の形態4よりもメモリセルサイズを小さくすることができる。

【0069】

（実施の形態6）

図14は、本発明の実施の形態6における半導体記憶装置の構成を概略的に示す平面図である。図15（a）および図15（b）は、図14のX V A - X V A 線に沿う概略断面図および図14のX V B - X V B 線に沿う概略断面図である。

【0070】

図14および図15を参照して、本実施の形態のメモリセルの構成は、実施の形態1の構成と比較して、フローティングゲートコントロール領域内の制御用不純物拡散領域などの構成において異なる。

【0071】

本実施の形態における制御用不純物拡散領域は、1対のp型のソース/ドレイン用不純物拡散領域22、22により構成されている。また、p型の半導体基板1の主表面にはn型ウェル領域21が形成されている。1対のソース/ドレイン用不純物拡散領域22、22は、フローティングゲート5の下側に位置する半導体基板1の領域を挟むようにn型ウェル領域21内でp型の半導体基板1の主表面に形成されている。この1対のソース/ドレイン用不純物拡散領域22、22と、絶縁層4bと、フローティングゲート5とにより、pチャネルMOSトランジスタよりなるコントロールトランジスタ30が構成されている。

【0072】

なお、上記以外の構成については実施の形態1の構成とほぼ同じであるため、同一の構成要素については同一の符号を付し、その説明を省略する。

【0073】

次に、本実施の形態におけるメモリセルの書き込みおよび消去の動作について説明する。

【0074】

図15(a)および図15(b)を参照して、メモリセルへの書き込みは、フローティングゲートトランジスタ10でのインパクトイオン化により発生するホットキャリアをフローティングゲート5に注入することにより行なわれる。ホットキャリアの発生は、表5に示した電圧を各領域に与えることにより起こる。

【0075】

【表5】

電圧を与える箇所	電圧
一方のp型不純物拡散領域3	0V
他方のp型不純物拡散領域3	~8V
一方のソース/ドレイン用不純物拡散領域22	~5V
他方のソース/ドレイン用不純物拡散領域22	~5V
n型ウェル領域2a	~8V
n型ウェル領域21	~5V
p型半導体基板1	0V

* 他方のp型不純物拡散領域3とn型ウェル領域2aには同じ電圧を与える。

* 一方のソース/ドレイン用不純物拡散領域22と他方のソース/ドレイン用不純物拡散領域22とn型ウェル領域21には同じ電圧を与える。

【0076】

この際、コントロールトランジスタ30の1対のソース/ドレイン用不純物拡散領域22、22は、フローティングゲート5の電位をコントロールする役割を担っている。具体的には、ホットキャリアの発生はフローティングゲート5の（一方のp型不純物拡散領域3から見た）電位が-1V程度の時に最も多くなるため、そのような電位になるように1対のソース/ドレイン用不純物拡散領域22、22およびn型ウェル領域21に電圧が与えられてフローティングゲート5の電位がコントロールされる。

【0077】

また、メモリセルの消去は、フローティングゲート 5 に蓄積された電子を一方のソース／ドレイン用不純物拡散領域 22、他方のソース／ドレイン用不純物拡散領域 22 および n 型ウェル領域 21 に高電位を与えて FN トンネリングによって引き抜くことで行なわれる。FN トンネリングを起こすために、一方のソース／ドレイン用不純物拡散領域 22（もしくは他方のソース／ドレイン用不純物拡散領域 22）および n 型ウェル領域 21 には表 6 に示すような正の電位が与えられる。

【0078】

【表 6】

電圧を与える箇所	電圧
一方の p 型不純物拡散領域 3	~-10V
他方の p 型不純物拡散領域 3	~-10V
一方のソース／ドレイン用不純物拡散領域 22	~15V
他方のソース／ドレイン用不純物拡散領域 22	~15V
n 型ウェル領域 2a	0V
n 型ウェル領域 21	~15V
p 型半導体基板 1	0V

* 一方の p 型不純物拡散領域 3 と第 2 の p 型不純物拡散領域 3 には同じ電圧を与える。

* 一方のソース／ドレイン用不純物拡散領域 22 と他方のソース／ドレイン用不純物拡散領域 22 と n 型ウェル領域 21 には同じ電圧を与える。

【0079】

この際、1 対の p 型不純物拡散領域 3、3 にも表 6 に示すような負の電圧を与えて、フローティングゲート 5 の（一方の p 型不純物拡散領域 3 から見た）電位が下げられている。効率よく消去を行うためには、フローティングゲート 5 と一方のソース／ドレイン用不純物拡散領域 22、他方のソース／ドレイン用不純物拡散領域 22 および n 型ウェル領域 21 との間の接合容量比をできるだけ小さくして電位差を大きくすることが望ましい。

【0080】

本実施の形態によれば、1 対のソース／ドレイン用不純物拡散領域 22、22 によりフローティングゲート 5 の電位をコントロールすることができるため、半導体基板 1 とフローティングゲート 5 との間に大きな電位差を与えることが可能となる。これにより、フローティングゲート 5 内の電子を FN トンネリングで引き抜くことが可能となるため、データの電氣的な消去が可能となる。

【0081】

また、フローティングゲートトランジスタ 10 が p チャネル MOS トランジスタよりなっているため、実施の形態 1 と同様、n チャネル MOS トランジスタを用いる場合よりも低電圧で書き込みを行うことが可能となる。

【0082】

（実施の形態 7）

図 16 は、本発明の実施の形態 7 における半導体記憶装置の構成を概略的に示す平面図である。図 17 は、図 16 の X V I I - X V I I 線に沿う概略断面図である。

【0083】

図 16 および図 17 を参照して、本実施の形態のメモリセルの構成は、実施の形態 6 の構成と比較して、素子分離用の p 型不純物拡散領域 8 を有している点において異なる。

【0084】

この素子分離用の p 型不純物拡散領域 8 は、フローティングゲートトランジスタ領域と

フローティングゲートコントロール領域との間の半導体基板 1 の主表面に形成されたフィールド絶縁層 7 の直下の半導体基板 1 に形成されている。この素子分離用の p 型不純物拡散領域 8 は、半導体基板 1 よりも高いキャリア濃度を有している。

【0085】

なお、上記以外の構成については実施の形態 1 の構成とほぼ同じであるため、同一の構成要素については同一の符号を付し、その説明を省略する。

【0086】

本実施の形態によれば、以下の効果が得られる。

【0087】

書き込みおよび消去時には表 5 および表 6 に示すような電圧が n 型ウェル領域 2 1 に印加されるが、この際、p 型半導体基板 1 と n 型ウェル領域 2 1 との p n 接合部には空乏層が生じている。この空乏層の伸びが大きくなるにつれて、パンチスルーに伴うリーク電流が増加する。

【0088】

本実施の形態によれば、素子分離用の p 型不純物拡散領域 8 は半導体基板 1 よりも高いキャリア濃度を有しているため、この空乏層の伸びを抑えることができる。これにより、n 型ウェル領域 2 a と n 型ウェル領域 2 1 との間隔を小さくすることができ、結果として実施の形態 6 よりもメモリセルサイズを小さくすることができる。

【0089】

(実施の形態 8)

図 18 は、本発明の実施の形態 8 における半導体記憶装置の構成を概略的に示す平面図である。図 19 (a) および図 19 (b) は、図 18 の X I X A - X I X A 線に沿う概略断面図および図 18 の X I X B - X I X B 線に沿う概略断面図である。図 20 は、図 18 の X X - X X 線に沿う概略断面図である。

【0090】

図 18 ~ 図 20 を参照して、本実施の形態のメモリセルの構成は、実施の形態 1 の構成と比較して、フローティングゲートコントロール領域内の制御用不純物拡散領域の構成において異なる。

【0091】

本実施の形態における制御用不純物拡散領域は、n 型の不純物拡散領域 3 1 により構成されている。n 型の不純物拡散領域 3 1 は、p 型の半導体基板 1 の主表面に形成されており、フローティングゲート 5 と絶縁層 4 b を介して対向している。

【0092】

なお、上記以外の構成については実施の形態 1 の構成とほぼ同じであるため、同一の構成要素については同一の符号を付し、その説明を省略する。

【0093】

次に、本実施の形態におけるメモリセルの書き込みおよび消去の動作について説明する。

【0094】

図 19 (a) および図 19 (b) を参照して、メモリセルへの書き込みは、フローティングゲートトランジスタ 10 でのインパクトイオン化により発生するホットキャリアをフローティングゲート 5 に注入することにより行なわれる。ホットキャリアの発生は、表 7 に示した電圧を各領域に与えることにより起こる。

【0095】

【表 7】

電圧を与える箇所	電圧
一方の p 型不純物拡散領域 3	0V
他方の p 型不純物拡散領域 3	~8V
制御用不純物拡散領域 31	~5V
n 型ウェル領域 2a	~8V
p 型半導体基板 31	0V

* 他方の p 型不純物拡散領域 3 と n 型ウェル領域 2a には同じ電圧を与える。

【0096】

この際、制御用不純物拡散領域（n 型不純物拡散領域）31 は、フローティングゲート 5 の電位をコントロールする役割を担っている。具体的には、ホットキャリアの発生はフローティングゲート 5 の（一方の p 型不純物拡散領域 3 から見た）電位が -1 V 程度の時に最も多くなるため、そのような電位になるように制御用不純物拡散領域 31 に電圧を与えられてフローティングゲート 5 の電位がコントロールされる。

【0097】

また、メモリセルの消去は、フローティングゲート 5 に蓄積された電子を制御用不純物拡散領域 31 に高電位を与えて FN トンネリングによって引き抜くことで行なわれる。FN トンネリングを起こすために、制御用不純物拡散領域 31 に表 8 に示すような正の電位が与えられる。

【0098】

【表 8】

電圧を与える箇所	電圧
一方の p 型不純物拡散領域 3	~-10V
他方の p 型不純物拡散領域 3	~-10V
制御用不純物拡散領域 31	~15V
n 型ウェル領域 2a	0V
p 型半導体基板 31	0V

* 一方の p 型不純物拡散領域 3 と他方の p 型不純物拡散領域 3 には同じ電圧を与える。

【0099】

この際、1 対の p 型不純物拡散領域 3、3 にも表 6 に示すような負の電圧を与えて、フローティングゲート 5 の（一方の p 型不純物拡散領域 3 から見た）電位が下げられている。効率よく消去を行うためには、フローティングゲート 5 と一方の p 型不純物拡散領域 3、他方の p 型不純物拡散領域 3 および n 型ウェル領域 2a のそれぞれとの間の接合容量比をできるだけ小さくして電位差を大きくすることが望ましい。

【0100】

本実施の形態のよれば、制御用不純物拡散領域 31 によりフローティングゲート 5 の電位をコントロールすることができるため、半導体基板 1 とフローティングゲート 5 との間に大きな電位差を与えることが可能となる。これにより、フローティングゲート 5 内の電子を FN トンネリングで引き抜くことが可能となるため、データの電氣的な消去が可能となる。

【0101】

また、フローティングゲートトランジスタ 10 が p チャネル MOS トランジスタよりな

っているため、実施の形態 1 と同様、n チャンネル MOS トランジスタを用いる場合よりも低電圧で書き込みを行うことが可能となる。

【0102】

(実施の形態 9)

図 21 は、本発明の実施の形態 9 における半導体記憶装置の構成を概略的に示す平面図である。図 22 (a) および図 22 (b) は、図 21 の XXIIA-XXIIA 線に沿う概略断面図および図 21 の XXIIB-XXIIB 線に沿う概略断面図である。図 23 は、図 21 の XXIII-XXIII 線に沿う概略断面図である。

【0103】

図 21 ~ 図 23 を参照して、本実施の形態のメモリセルの構成は、実施の形態 8 の構成と比較して、フローティングゲートコントロール領域内に p 型ウェル領域 32 が追加されている点において異なる。

【0104】

p 型ウェル領域 32 は半導体基板 1 の主表面に形成されている。p 型ウェル領域 32 内に、制御用不純物拡散領域 (n 型不純物拡散領域) 31 が形成されている。p 型ウェル領域 12 は、半導体基板 1 よりも高いキャリア濃度を有している。

【0105】

なお、上記以外の構成については実施の形態 3 の構成とほぼ同じであるため、同一の構成要素については同一の符号を付し、その説明を省略する。

【0106】

本実施の形態によれば、以下の効果が得られる。

【0107】

書き込みおよび消去時には表 7 および表 8 に示すような電圧が n 型ウェル領域 2a と制御用不純物拡散領域 (n 型不純物拡散領域) 31 に印加されるが、この際、n 型ウェル領域 2a と p 型半導体基板 1 との pn 接合部および制御用不純物拡散領域 (n 型不純物拡散領域) 31 と p 型領域との pn 接合部には空乏層が生じている。この空乏層の伸びが大きくなるにつれて、パンチスルーに伴うリーク電流が増加する。

【0108】

本実施の形態によれば、p 型ウェル領域 32 は半導体基板 1 よりも高いキャリア濃度を有しているため、この空乏層の伸びを抑えることができる。これにより、n 型ウェル領域 2a と制御用不純物拡散領域 (n 型不純物拡散領域) 31 との間隔を小さくすることができる。結果として実施の形態 8 よりもメモリセルサイズを小さくすることができる。

【0109】

(実施の形態 10)

図 24 は、本発明の実施の形態 10 における半導体記憶装置の構成を概略的に示す平面図である。図 25 は、図 24 の XXV-XXV 線に沿う概略断面図である。

【0110】

図 24 および図 25 を参照して、本実施の形態のメモリセルの構成は、実施の形態 9 の構成と比較して、素子分離用の p 型不純物拡散領域 8 を有している点において異なる。

【0111】

この素子分離用の p 型不純物拡散領域 8 は、フローティングゲートトランジスタ領域とフローティングゲートコントロール領域との間の半導体基板 1 の主表面に形成されたフィールド絶縁層 7 の直下の半導体基板 1 に形成されている。この素子分離用の p 型不純物拡散領域 8 は、半導体基板 1 よりも高いキャリア濃度を有している。

【0112】

なお、上記以外の構成については実施の形態 1 の構成とほぼ同じであるため、同一の構成要素については同一の符号を付し、その説明を省略する。

【0113】

本実施の形態によれば、以下の効果が得られる。

【0114】

書き込みおよび消去時には表 7 および表 8 に示すような電圧が n 型ウェル領域 2 a に印加されるが、この際、p 型半導体基板 1 と n 型ウェル領域 2 a との p n 接合部には空乏層が生じている。この空乏層の伸びが大きくなるにつれて、パンチスルーに伴うリーク電流が増加する。

【0115】

本実施の形態によれば、素子分離用の p 型不純物拡散領域 8 は半導体基板 1 よりも高いキャリア濃度を有しているため、この空乏層の伸びを抑えることができる。これにより、n 型ウェル領域 2 a と n 型ウェル領域 3 1 との間隔を小さくすることができ、結果として実施の形態 9 よりもメモリセルサイズを小さくすることができる。

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【図面の簡単な説明】

【0116】

【図 1】 本発明の実施の形態 1 における半導体記憶装置の構成を概略的に示す平面図である。

【図 2】 図 1 の I I A - I I A 線に沿う概略断面図 (a) および図 1 の I I B - I I B 線に沿う概略断面図 (b) である。

【図 3】 図 1 の I I I - I I I 線に沿う概略断面図である。

【図 4】 本発明の実施の形態 2 における半導体記憶装置の構成を概略的に示す平面図である。

【図 5】 図 4 の V - V 線に沿う概略断面図である。

【図 6】 本発明の実施の形態 3 における半導体記憶装置の構成を概略的に示す平面図である。

【図 7】 図 6 の V I I A - V I I A 線に沿う概略断面図 (a) および図 6 の V I I B - V I I B 線に沿う概略断面図 (b) である。

【図 8】 図 6 の V I I I - V I I I 線に沿う概略断面図である。

【図 9】 本発明の実施の形態 4 における半導体記憶装置の構成を概略的に示す平面図である。

【図 10】 図 9 の X A - X A 線に沿う概略断面図 (a) および図 9 の X B - X B 線に沿う概略断面図 (b) である。

【図 11】 図 9 の X I - X I 線に沿う概略断面図である。

【図 12】 本発明の実施の形態 5 における半導体記憶装置の構成を概略的に示す平面図である。

【図 13】 図 12 の X I I I - X I I I 線に沿う概略断面図である。

【図 14】 本発明の実施の形態 6 における半導体記憶装置の構成を概略的に示す平面図である。

【図 15】 図 14 の X V A - X V A 線に沿う概略断面図 (a) および図 14 の X V B - X V B 線に沿う概略断面図 (b) である。

【図 16】 本発明の実施の形態 7 における半導体記憶装置の構成を概略的に示す平面図である。

【図 17】 図 16 の X V I I - X V I I 線に沿う概略断面図である。

【図 18】 本発明の実施の形態 8 における半導体記憶装置の構成を概略的に示す平面図である。

【図 19】 図 18 の X I X A - X I X A 線に沿う概略断面図 (a) および図 18 の X I X B - X I X B 線に沿う概略断面図 (b) である。

【図 20】 図 18 の X X - X X 線に沿う概略断面図である。

【図 21】 本発明の実施の形態 9 における半導体記憶装置の構成を概略的に示す平面図

図である。

【図 22】図 21 の XXIIA-XXIIA 線に沿う概略断面図 (a) および図 21 の XXIIB-XXIIB 線に沿う概略断面図 (b) である。

【図 23】図 21 の XXIII-XXIII 線に沿う概略断面図である。

【図 24】本発明の実施の形態 10 における半導体記憶装置の構成を概略的に示す平面図である。

【図 25】図 24 の XXV-XXV 線に沿う概略断面図である。

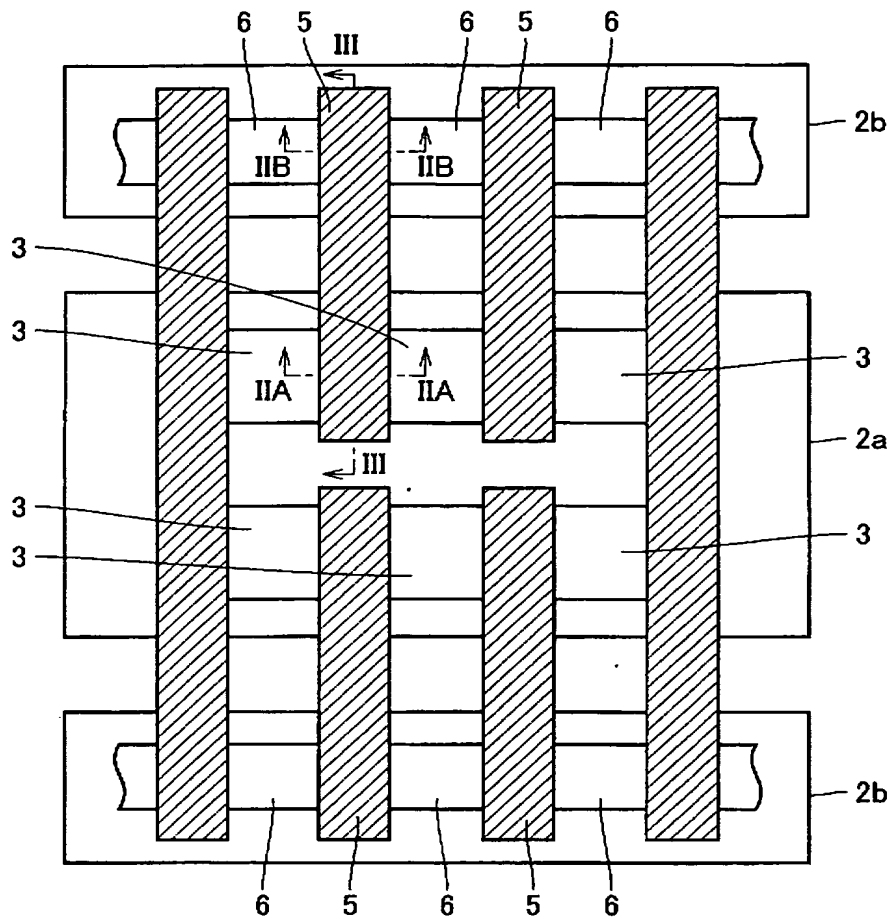
【符号の説明】

【0117】

1 p 型半導体基板、2a, 2b n 型ウェル領域、3 p 型不純物拡散領域 (ソース/ドレイン)、4a トネル絶縁層、4b 絶縁層、5 フローティングゲート、6 p 型制御用不純物拡散領域、7 フィールド絶縁層、8 p 型不純物拡散領域、10 フローティングゲートトランジスタ、11 n 型ソース/ドレイン用不純物拡散領域、12 p 型ウェル領域、20 n チャンネルコントロールトランジスタ、21 n 型ウェル領域、22 p 型ソース/ドレイン用不純物拡散領域、30 p チャンネルコントロールトランジスタ、31 n 型ウェル領域、31 n 型制御用不純物拡散領域、32 p 型ウェル領域。

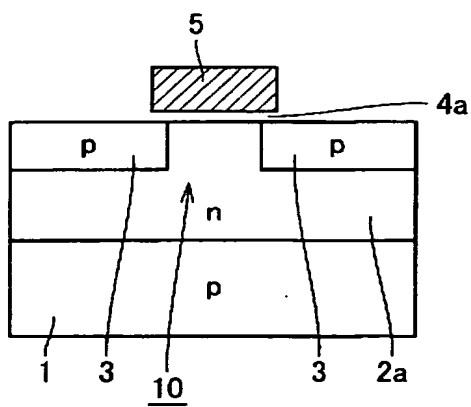
【書類名】 図面

【図 1】

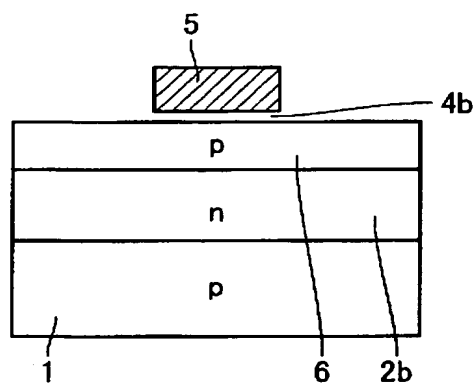


【図 2】

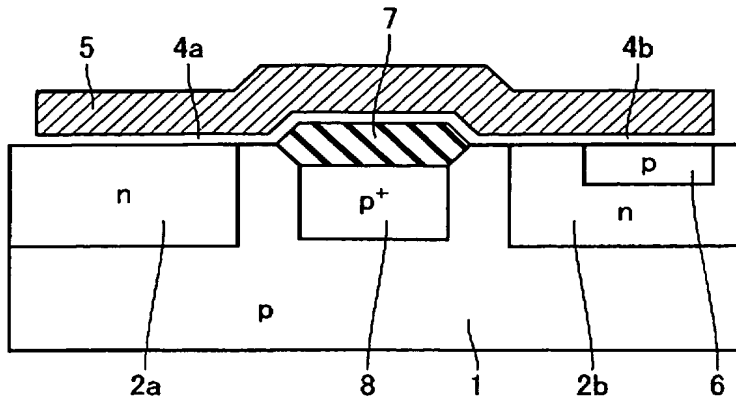
(a) フローティングゲート
トランジスタ領域



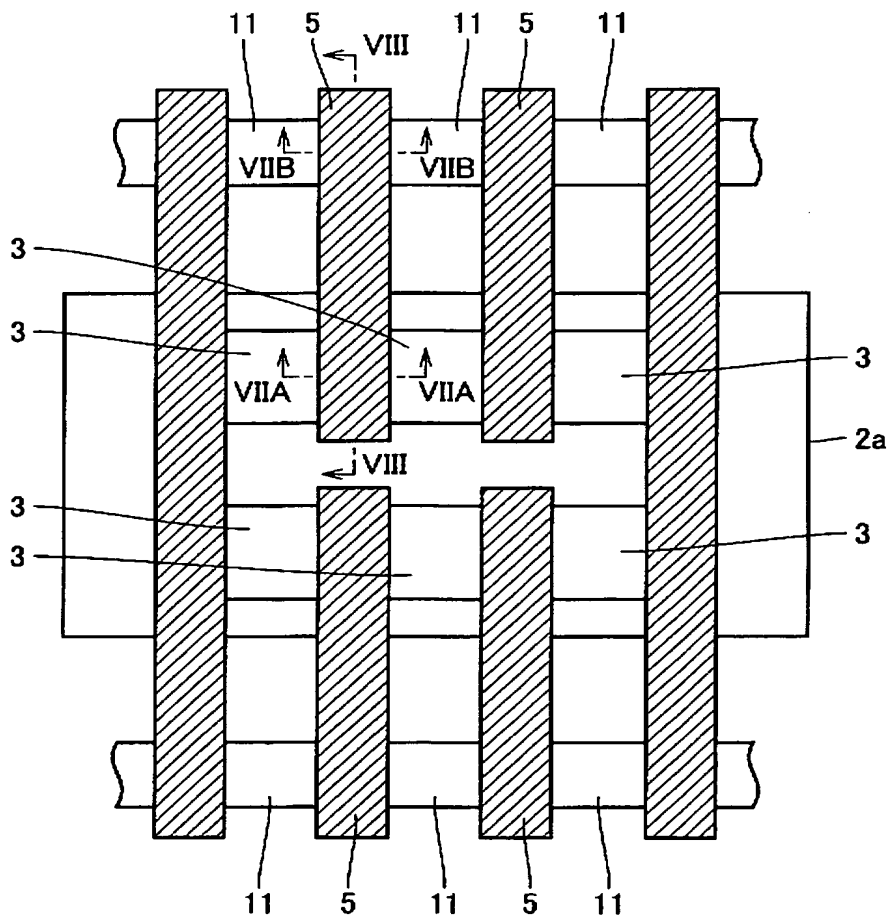
(b) フローティングゲート
コントロール領域



【図 5】

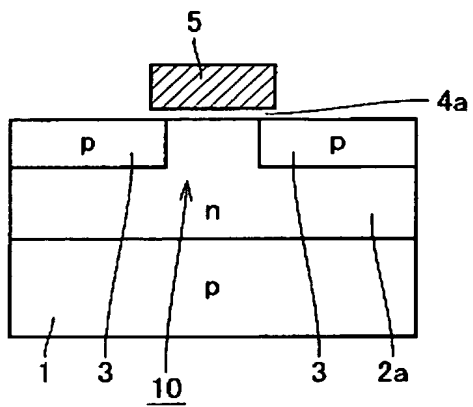


【図 6】

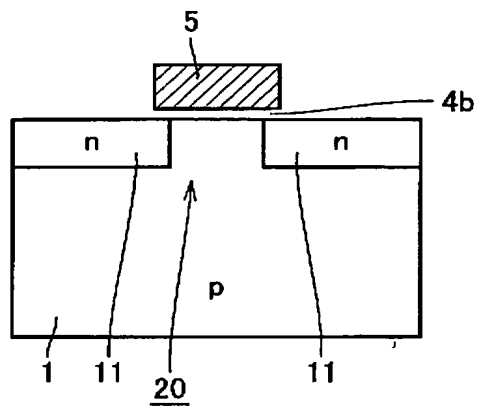


【図 7】

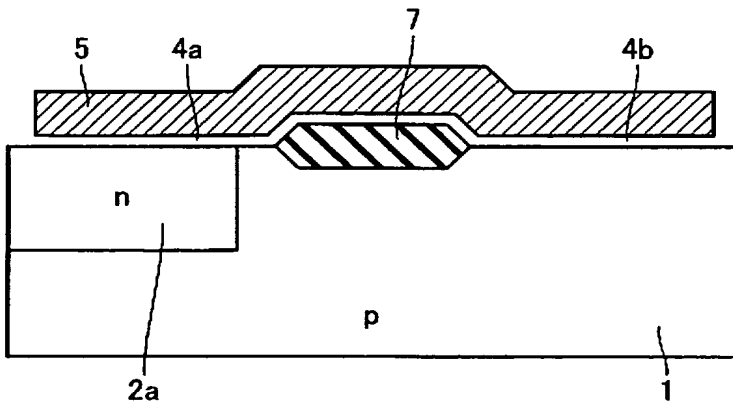
(a) フローティングゲート
トランジスタ領域



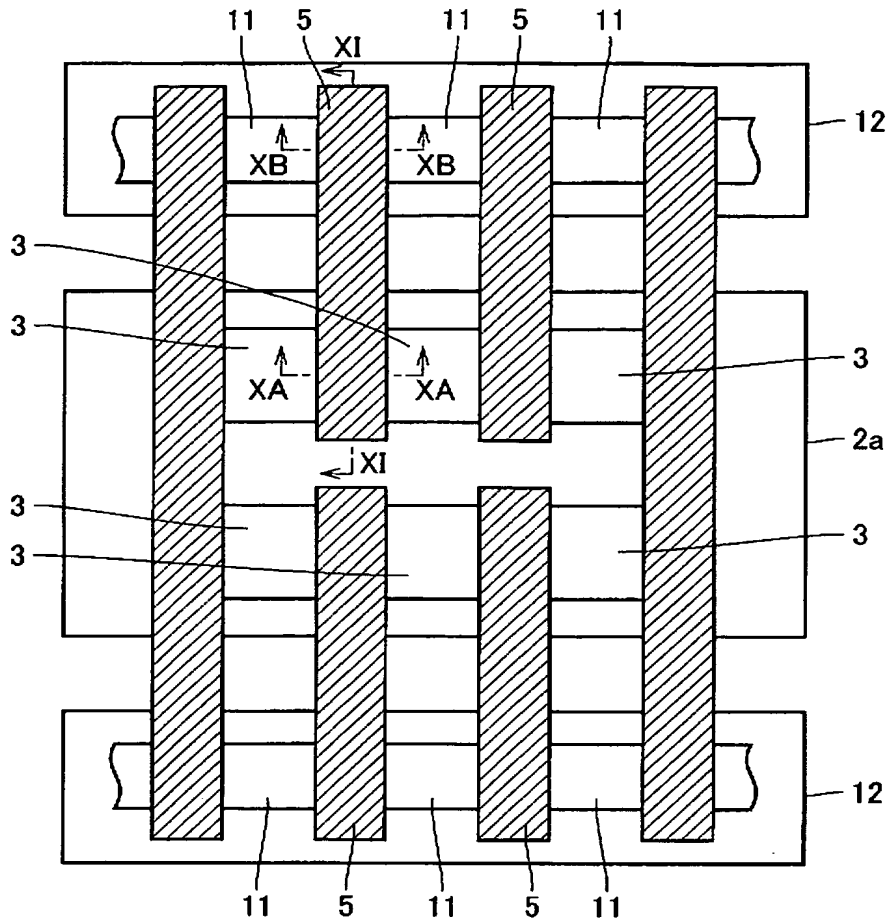
(b) フローティングゲート
コントロール領域



【図 8】

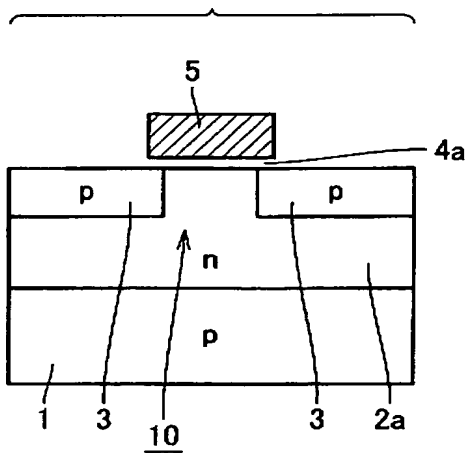


【図 9】

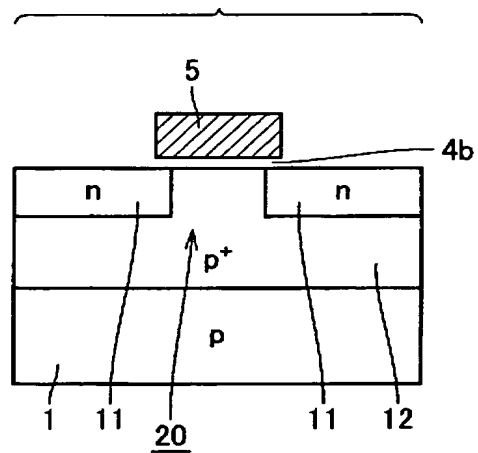


【図 10】

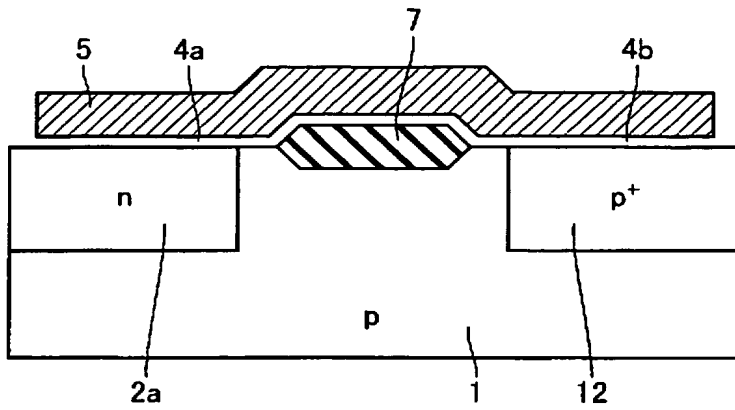
(a) フローティングゲート
トランジスタ領域



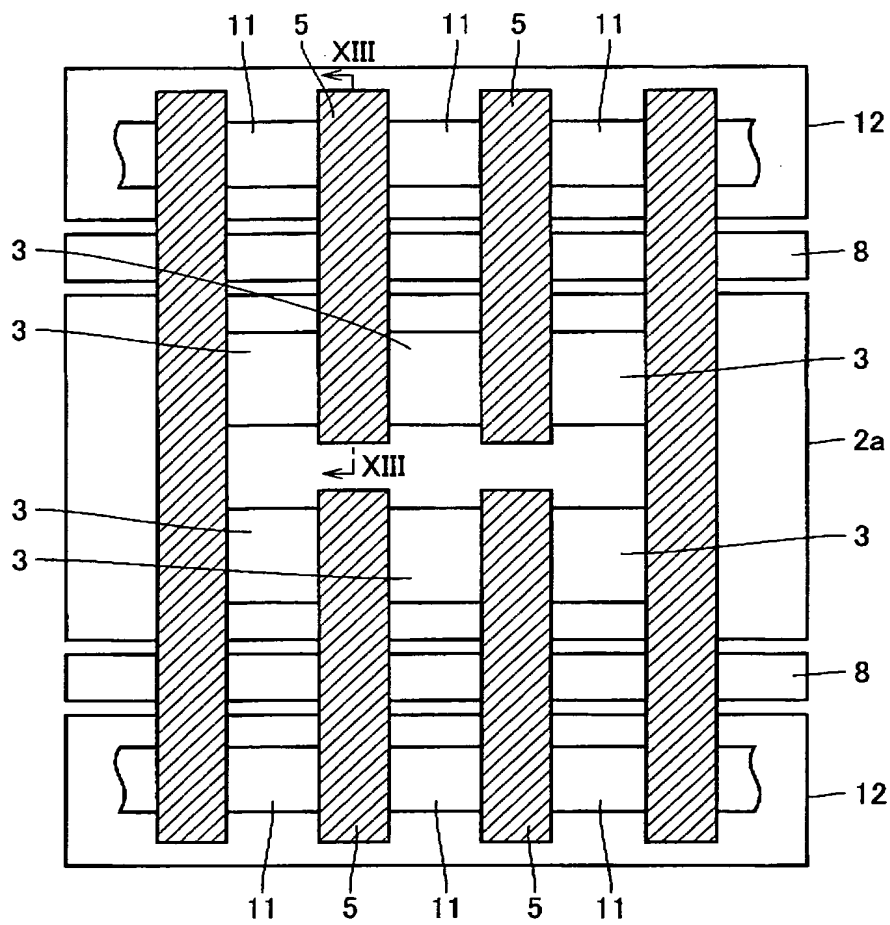
(b) フローティングゲート
コントロール領域



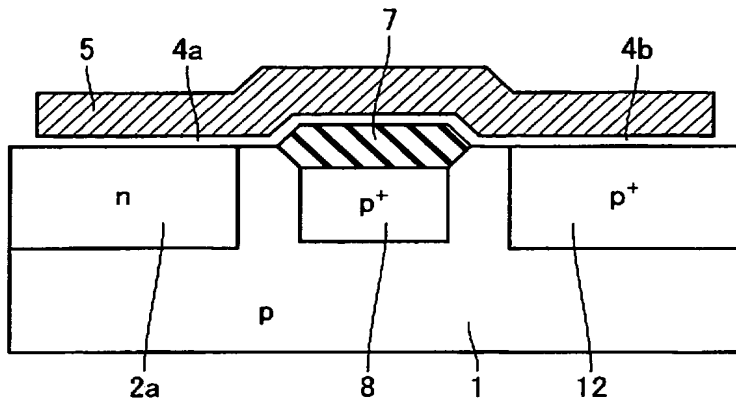
【図 1 1】



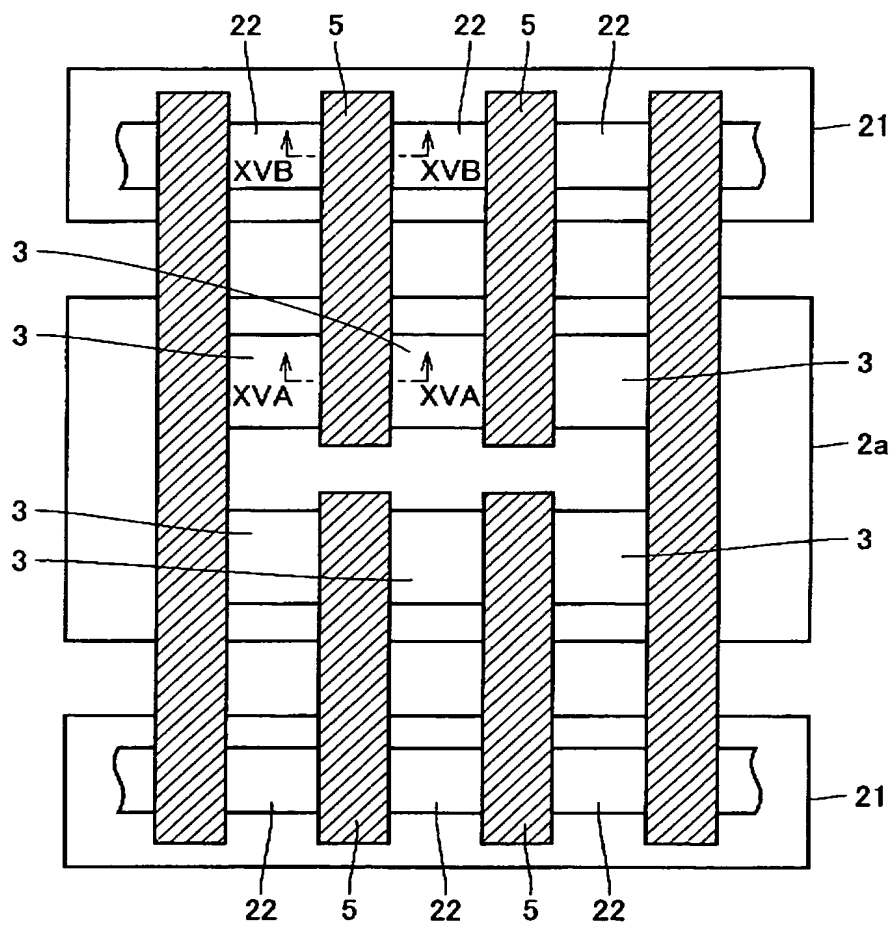
【圖 12】



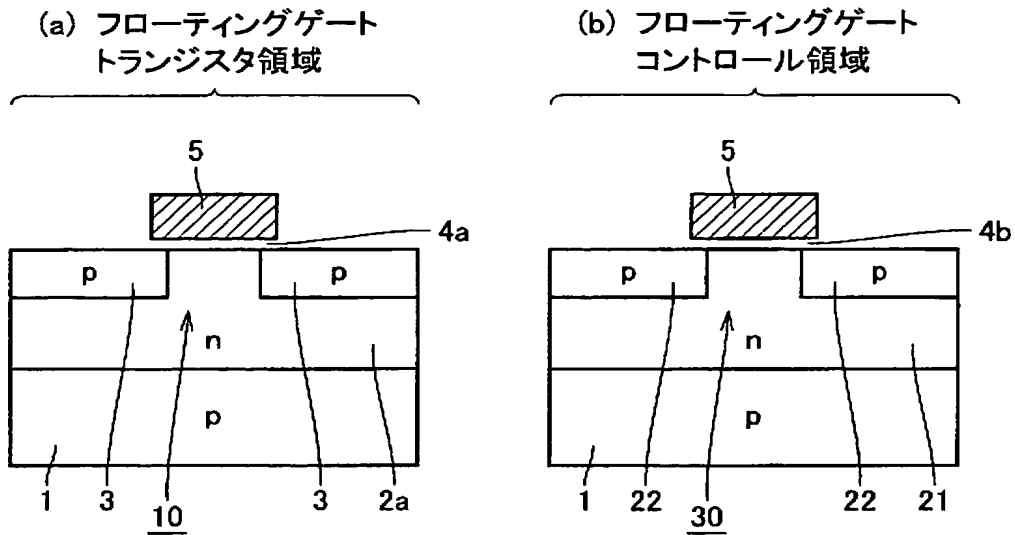
【図 13】



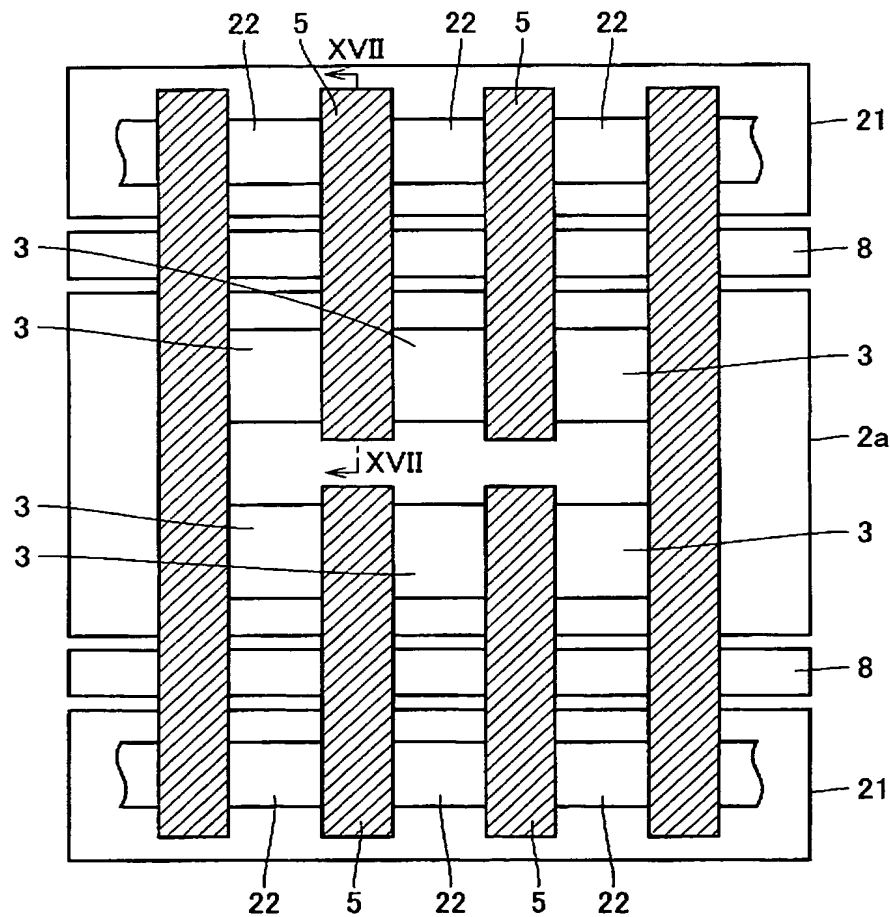
【図 14】



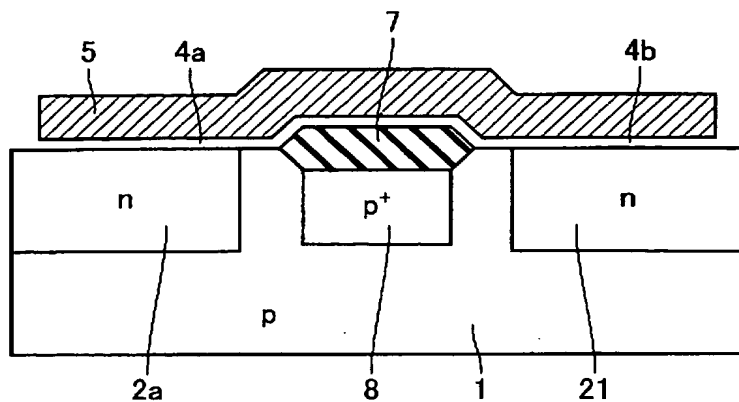
【図 15】



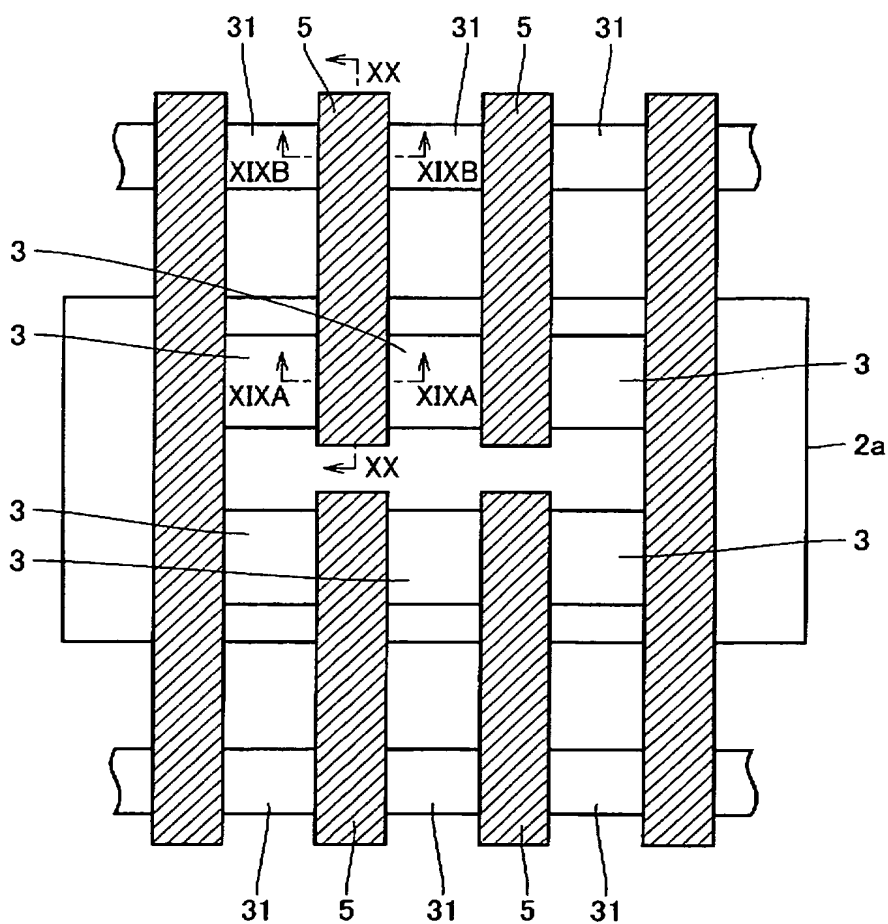
【図 16】



【図 17】

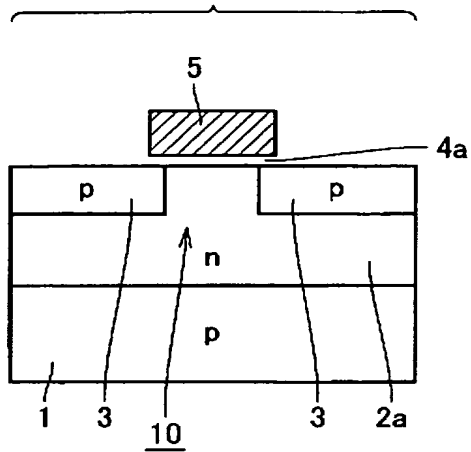


【図 18】

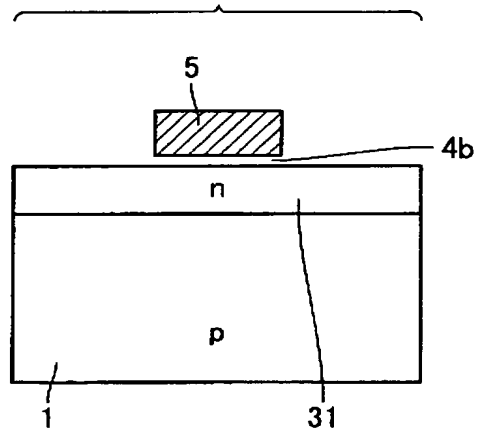


【図 19】

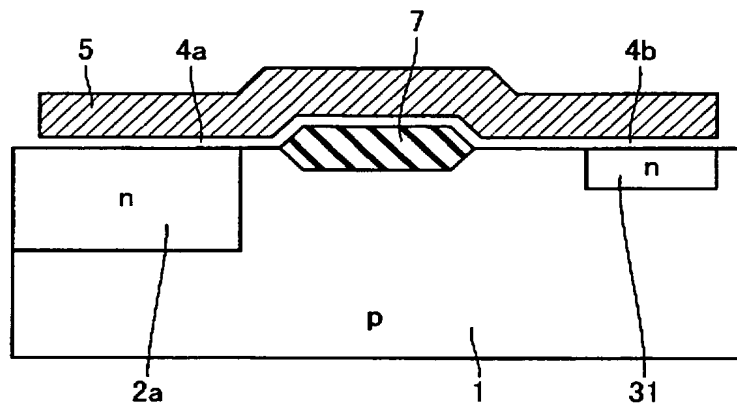
(a) フローティングゲート
トランジスタ領域



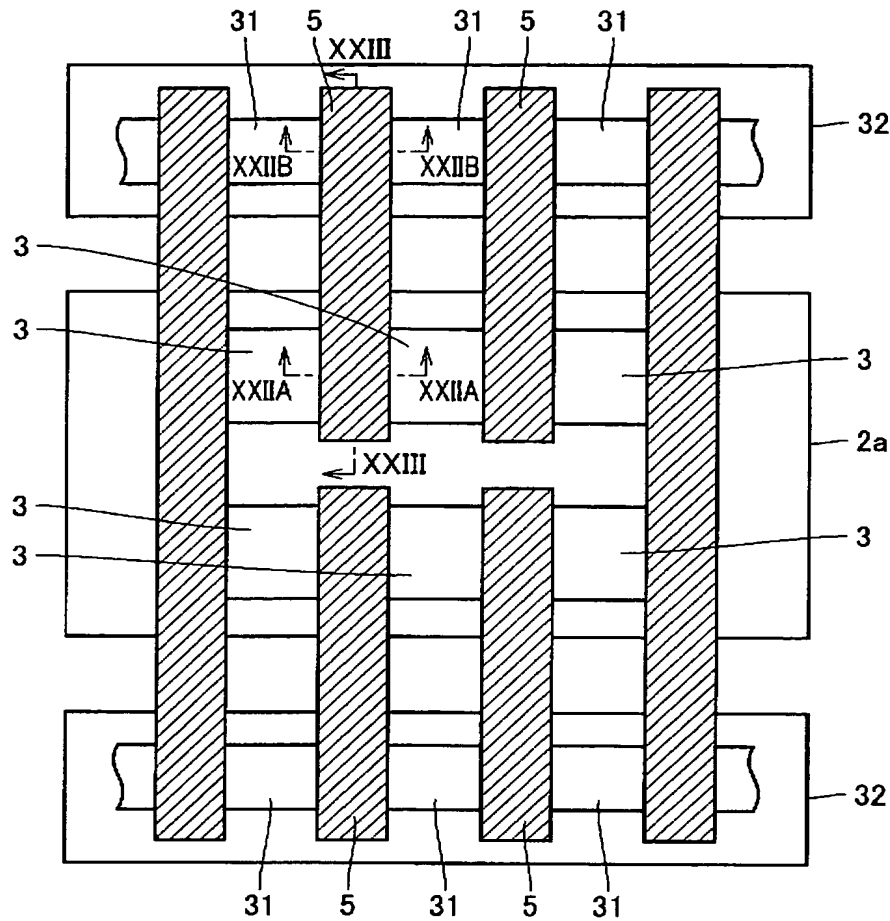
(b) フローティングゲート
コントロール領域



【図 20】

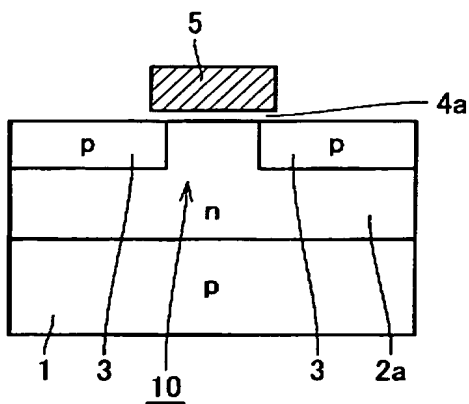


【図 21】

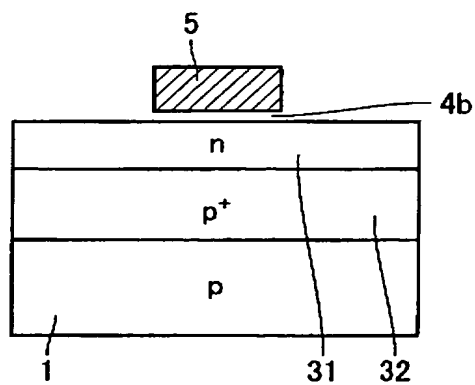


【図 22】

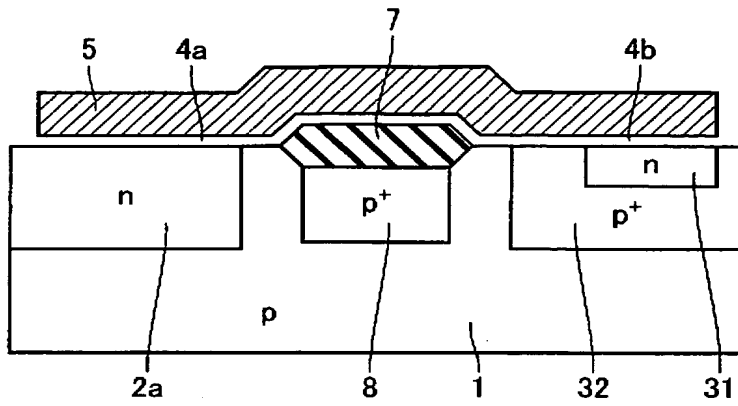
(a) フローティングゲート
トランジスタ領域



(b) フローティングゲート
コントロール領域



【図 25】



【書類名】 要約書**【要約】**

【課題】 電氣的にデータを消去可能で、かつ低電圧でのデータの書き込みが容易な不揮発性半導体装置を提供する。

【解決手段】 本発明の不揮発性半導体記憶装置は、主表面を有する半導体基板 1 と、半導体基板 1 の主表面に形成されたソース／ドレインとなる 1 対の p 型不純物拡散領域 3、3 と、1 対の p 型不純物拡散領域 3、3 に挟まれる半導体基板 1 の領域の上にトンネル絶縁層 4 a を介して形成されたフローティングゲート 5 と、半導体基板 1 の主表面に形成された、フローティングゲート 5 の電位を制御するための制御用不純物拡散領域 6 とを備えている。

【選択図】 図 2

特願 2 0 0 3 - 2 7 4 7 2 8

出 願 人 履 歴 情 報

識別番号

[5 0 3 1 2 1 1 0 3]

1. 変更年月日

2 0 0 3 年 4 月 1 日

[変更理由]

新規登録

住 所

東京都千代田区丸の内二丁目 4 番 1 号

氏 名

株式会社ルネサステクノロジ